

**THIS PAGE IS INSERTED BY OIPE SCANNING
AND IS NOT PART OF THE OFFICIAL RECORD**

Best Available Images

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

BLACK BORDERS

TEXT CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT

BLURRY OR ILLEGIBLE TEXT

SKEWED/SLANTED IMAGES

COLORED PHOTOS HAVE BEEN RENDERED INTO BLACK AND WHITE

VERY DARK BLACK AND WHITE PHOTOS

UNDECIPHERABLE GRAY SCALE DOCUMENTS

**IMAGES ARE THE BEST AVAILABLE
COPY. AS RESCANNING *WILL NOT*
CORRECT IMAGES, PLEASE DO NOT
REPORT THE IMAGES TO THE
PROBLEM IMAGE BOX.**

(11) 公告編號: 363256

(14) 中華民國88年(1999)07月01日

發明

全 8 頁

(51) Int. Cl. 6: H01L21/88
21/90

(54) 名 稱: 半導體積體電路、半導體積體電路之設計方法及製造方法

(21) 申請案號: 86118618

(22) 申請日期: 中華民國86年(1997)12月10日

(30) 優先權: (31) 345720

(32) 1996/12/25

(33) 日本

(72) 發明人:

味元賢一郎

日本

圓角元洋

日本

北城岳彦

日本

(71) 申請人:

東芝股份有限公司

日本

(74) 代理人: 林志剛 先生

1

2

[57] 申請專利範圍:

1. 一種半導體積體電路, 屬於在所定之基本格上部形成金屬配線層的半導體積體電路, 其特徵為: 在構成該基本格的源極、汲極領域之上部, 直接接觸於該源極、汲極領域的第1接觸孔之節距(以下稱為「節距1」), 及在構成該金屬配線層的第1配線層之下部, 直接接觸於該第1配線層的第2接觸孔之節距(以下稱為「節距2」)不相同者。

2. 如申請專利範圍第1項所述之半導體積體電路, 其中, 上述節距1比上述節距2小者。

3. 如申請專利範圍第1項所述之半導體積體電路, 其中, 上述節距1比上述節距2大者。

4. 如申請專利範圍第1項所述之半導體積體電路, 其中, 上述第1接觸孔與上述第2接觸孔係以僅配置於該源極、汲極領域之近旁的中繼配線相連接者。

5. 如申請專利範圍第1項所述之半導體積

體電路, 其中, 上述第1接觸孔之數, 比上述第2接觸孔之數較多或是相等者。

5. 6. 一種半導體積體電路, 屬於在所定之基本格上部形成金屬配線層的半導體積體電路, 其特徵為: 至少具有

具有第1導電型之半導體領域, 及形成於該半導體領域上部之一部分的第2導電型源極領域與汲極領域, 及經由該源極領域與汲極領域之間的該半導體領域上部之閘極氧化膜所形成的閘極電極, 及形成於該源極領域、汲極領域與閘極電極之上部的第1層間絕緣膜所構成之部分的基本格, 及

10. 15. 開設於該源極領域、汲極領域之各該上部之該第1層間絕緣膜中的第1接觸孔, 及

埋入於該第1接觸孔中之高導電性物質所構成的第1插頭, 及

20. 電氣式地連接於該第1插頭, 且僅配置

於該源極領域或汲極領域之近旁的中繼配線，及
形成於該中繼配線與該第1層絕緣膜之上部的第2層間絕緣膜，及
形成於該中繼配線上部之該第2層間絕緣膜中的第2接觸孔。

7.如申請專利範圍第6項所述之半導體積體電路，其中，又具有經由埋入於上述第2接觸孔中之高導電性物質所構成的第2插頭，與上述中繼配線電氣式地連接的第1配線層者。

8.如申請專利範圍第6項所述之半導體積體電路，其中，上述閘極電極之端部與上述第1接觸孔之端部之間的對準掩蔽餘度，比上述閘極電極之端部與上述第2接觸孔之端部之間的對準掩蔽餘度大者。

9.如申請專利範圍第6項所述之半導體積體電路，其中，上述源極領域，汲極領域與上述第1接觸孔之端部之間的對準掩蔽餘度，比上述源極領域，汲極領域與上述第2接觸孔之端部之間的對準掩蔽餘度大者。

10.如申請專利範圍第6項所述之半導體積體電路，其中，上述第1接觸孔之數比上述第2接觸孔數之數較多或是相等者。

11.一種半導體積體電路之設計方法，屬於在所定之基本格上部配線金屬配線層之半導體積體電路之設計方法，其特徵為：形成於該基本格中的第1接觸孔之節距1，係與構成該金屬配線層之第1配線層正下方的第2接觸孔之節距2不相同者。

12.如申請專利範圍第11項所述之半導體積體電路之設計方法，其中，在上述第1接觸孔與上述第2接觸孔之間設置僅配置於上述基本格之範圍內的中繼配線者。

13.如申請專利範圍第11項所述之半導體

積體電路之設計方法，其中，上述節距1係作為固定而實行上述第1配線層之配線者。

14.一種半導體積體電路之製造方法，其特徵為：至少具備

至少使用閘極電極形成用之第1掩蔽圖形與源極，汲極領域形成用之第2掩蔽圖形以形成基本格部的第1工程，及使用位於該源極，汲極領域內之第1接觸孔形成用之第3掩蔽圖形，及與該第1接觸孔重疊之位置，而僅配設於該源極，汲極領域近旁之中繼配線形成用之第4掩蔽圖形，連接該源極，汲極領域與該中繼配線的第2工程，及

使用配設於與該中繼配線重疊之位置之第2接觸孔形成用之第5掩蔽圖形，及形成於與該第2接觸孔重疊之位置之第1配線層形成用之第6掩蔽圖形，連接該中繼配線與該第1配線層的第3工程。

15.一種半導體積體電路之製造方法，屬於在所定之基本格上部形成金屬配線層之半導體積體電路之製造方法，其特徵為：至少包括

形成具有第1導電型之半導體領域，及形成於該半導體領域上部之一部分的第2導電型源極領域與汲極領域，及經由該源極領域與汲極領域之間的該半導體領域上部之閘極氧化膜所形成的閘極電極，及形成於該源極領域，汲極領域與閘極電極之上部的第1層間絕緣膜所構成之部分的基本格的第1工程，及在該源極領域，汲極領域之各該上部之該第1層間絕緣膜中開設第1接觸孔，暴露該源極領域，汲極領域之一部分的第2工程，及

在該第1接觸孔中埋入高導電性物質，形成第1插頭的第3工程，及將電氣式地連接於該第1插頭之高導電性物質所構成的中繼配線局部地形成於

該源極領域，汲極領域近旁的第4工程，及

在該中繼配線與該第1層間絕緣膜上部形成第2層間絕緣膜的第5工程，及在該中繼配線上部之該第2層間絕緣膜中開設第2接觸孔，並暴露該中繼配線的一部分的第6工程。

16.如申請專利範圍第15項所述之半導體積體電路之製造方法，其中，在上述第6工程之後，又至少包括

在上述第2接觸孔中埋入高導電性物質，形成第2插頭的第7工程，及形成與該第2插頭電氣式地連接之高導電性物質所構成的第1配線層，作為上述金屬配線層之一部分的第8工程。

圖式簡單說明：

第一圖係表示本發明之第1實施形態之ASIC-IC之基本格的平面圖。

第二圖係表示從第一圖之A-A方向的局部剖面圖。

第三圖係表示說明第1實施形態之ASIC-IC之基本格部之製造方法的工程剖面圖。

第四圖係表示說明第1實施形態之ASIC-IC之基本格部之製造方法的工程剖面圖。

第五圖係表示本發明之第1實施形態之第1變形例之ASIC-IC之中繼配線之設置範圍的圖式。

第六圖係表示本發明之第1實施形態之第2變形例之ASIC-IC的剖面圖。

第七圖(a)係表示本發明之第2實施形態之ASIC-IC之基本格的平面圖。

第七圖(a)係表示從第七圖(a)之B-B方向觀看的局部剖面圖。

第八圖(A)係表示本發明之第3實施形態之ASIC-IC之基本格的平面圖。

5. 第八圖(b)係表示從第八圖(b)之C-C方向觀看的剖面圖。

第九圖(a)係表示以往之ASIC-IC之基本格的平面圖。

9. 第九圖(b)係表示說明基本格與金屬配線層之圖形之節距不相同時的平面圖。

第十圖(a)係表示第九圖(a)之I-I方向的局部剖面圖。

第十圖(b)係表示第九圖(a)之II-II方向的剖面圖。

15. 第十一圖(a)係表示其他之以往之ASIC-IC之基本格的平面圖。

第十一圖(b)係表示第十一圖(a)之III-III方向的剖面圖。

20. 第十二圖(a)係表示開極陣列之基本格的平面圖。

第十二圖(b)係表示整體主晶片的模式性平面圖。

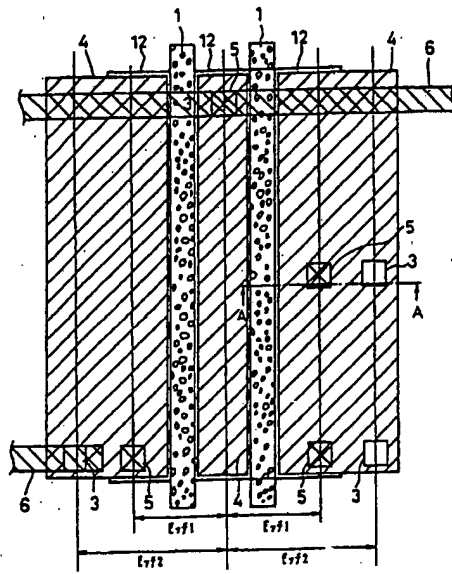
第十三圖係表示開極陣列方式之主晶片之其他構成的模式性平面圖。

25. 第十四圖係表示基本格上部之柵的圖式。

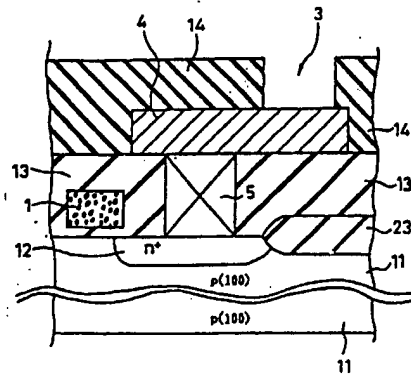
第十五圖係表示在開極陣列方式於基本格上部形成第1配線層及第2配線層，構成二輸入NAND開極時的模式圖。

30. 第十六圖係更具體地表示開極陣列方式之其中的二輸入AND之第1配線層及第2配線層的平面圖。

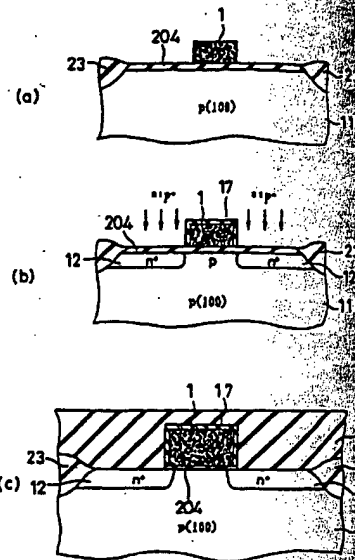
(4)



第一圖

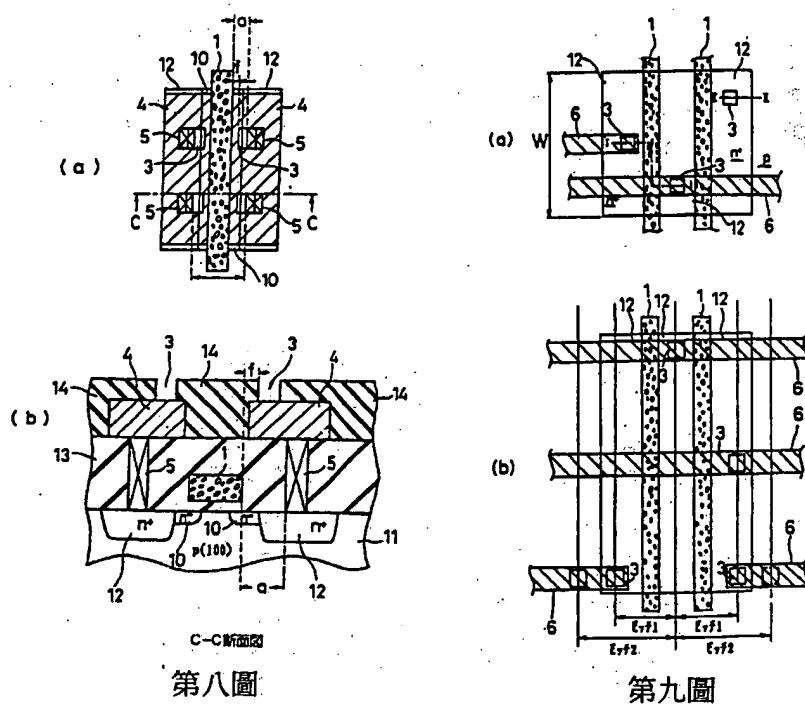
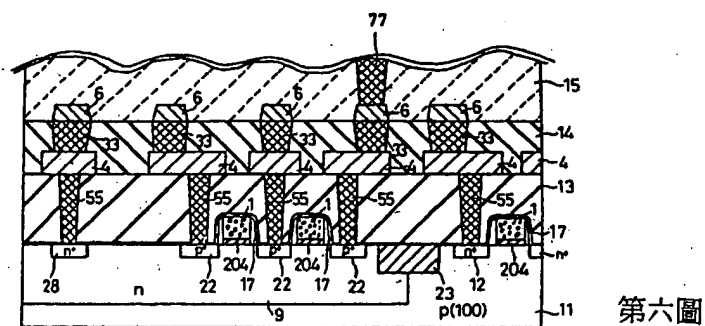


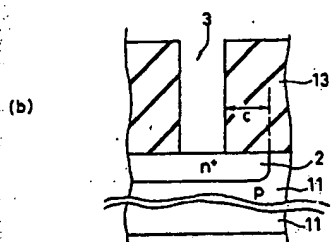
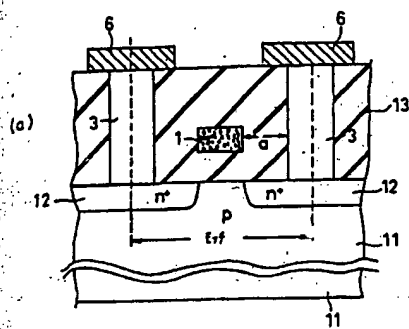
第二圖



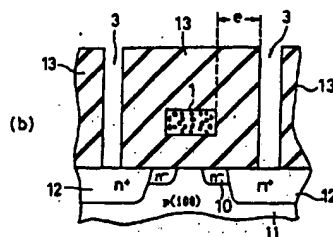
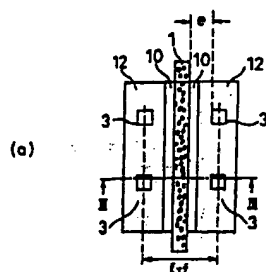
第三圖

(6)

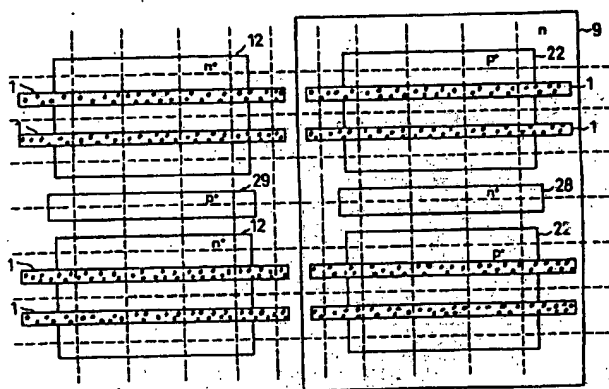




第十圖

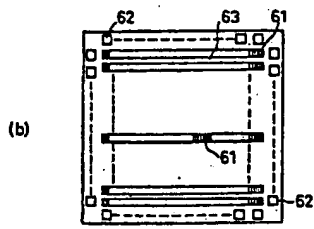
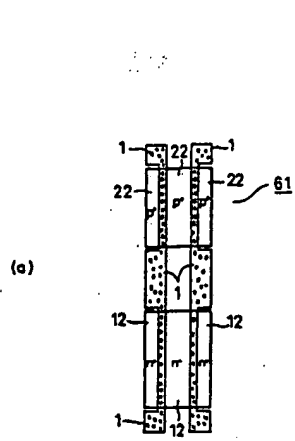


第十一圖

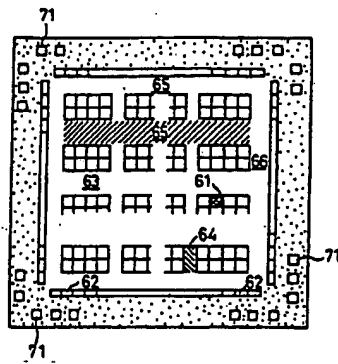


第十四圖

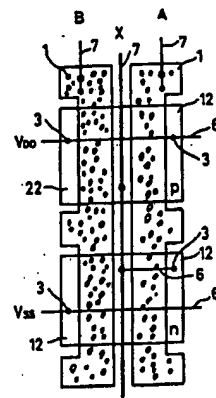
(8)



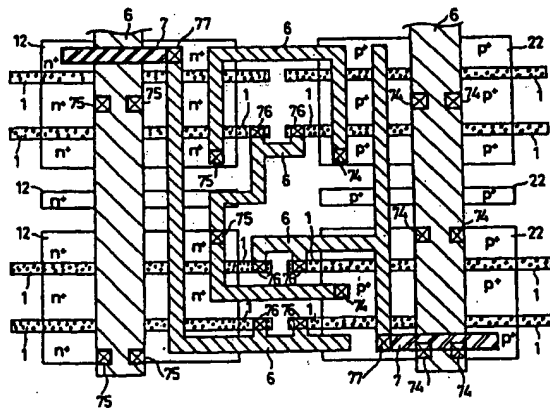
第十二圖



第十三圖



第十五圖



第十六圖